

#  
2  
4-29-02

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant : Masashi Kiyose  
Serial No. :  
Filed : January 31, 2002  
Title : PLL CIRCUIT

Art Unit : Unknown  
Examiner : Unknown

J1011 U.S. PTO  
10/066244  
01/31/02

Commissioner for Patents  
Washington, D.C. 20231

TRANSMITTAL OF PRIORITY DOCUMENT UNDER 35 USC §119

Applicant hereby confirms his claim of priority under 35 USC §119 from the following application:

Japan Application No. 2001-028159 filed February 5, 2001

A certified copy of each application from which priority is claimed is submitted herewith.

Please apply any charges or credits to Deposit Account No. 06-1050.

Respectfully submitted,

Date: JANUARY 31, 2002

Frank R. Occhiuti  
Frank R. Occhiuti  
Reg. No. 35,306

Fish & Richardson P.C.  
225 Franklin Street  
Boston, Massachusetts 02110-2804  
Telephone: (617) 542-5070  
Facsimile: (617) 542-8906

20382486.doc

CERTIFICATE OF MAILING BY EXPRESS MAIL

Express Mail Label No. EL298428692US

I hereby certify under 37 CFR §1.10 that this correspondence is being deposited with the United States Postal Service as Express Mail Post Office to Addressee with sufficient postage on the date indicated below and is addressed to the Commissioner for Patents, Washington, D.C. 20231.

Date of Deposit January 31, 2002

Signature Leroy Jenkins

Typed or Printed Name of Person Signing Certificate  
Leroy Jenkins

10449-042001

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

J1011 U.S. PTO  
10/066244  
01/31/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 2月 5日

出 願 番 号

Application Number:

特願2001-028159

出 願 人

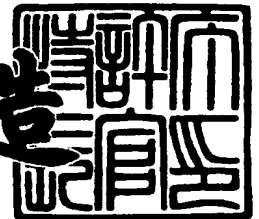
Applicant(s):

三洋電機株式会社

2001年12月 7日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3106376

【書類名】 特許願

【整理番号】 KIB1010008

【提出日】 平成13年 2月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 G11B 7/0045

【発明者】

【住所又は居所】 大阪府守口市京阪本通 2 丁目 5 番 5 号  
三洋電機株式会社内

【氏名】 清瀬 雅司

【特許出願人】

【識別番号】 000001889

【氏名又は名称】 三洋電機株式会社

【代表者】 桑野 幸徳

【代理人】

【識別番号】 100111383

【弁理士】

【氏名又は名称】 芝野 正雅

【連絡先】 電話 0 3 - 3 8 3 7 - 7 7 5 1 法務・知的財産部 東京事務所

【手数料の表示】

【予納台帳番号】 013033

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9904451

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 PLL回路

【特許請求の範囲】

【請求項1】 所定の周期を有する第1の基準信号に周波数同期した第1のクロックを生成する第1のループ部と、前記第1の基準信号よりも周期の長い第2の基準信号に位相同期した第2のクロックを生成する第2のループ部とを有するPLL回路であって、

前記第1のループ部は、前記第1の基準信号及び前記第1のクロックが入力される第1の位相比較器と、この位相比較器の比較結果に応じた直流電圧を出力する第1のローパスフィルタと、このローパスフィルタから出力される直流電圧を制御電圧として前記第1のクロックを生成する第1の電圧制御発振器とを備えて構成され、

前記第2のループ部は、前記第2の基準信号及び前記第2のクロックが入力される第2の位相比較器と、この位相比較器の比較結果に応じた直流電圧を出力する第2のローパスフィルタと、前記第1のローパスフィルタから出力される直流電圧及び前記第2のローパスフィルタから出力される直流電圧を制御電圧として前記第2のクロックを生成する第2の電圧制御発振器を備えて構成されるPLL回路。

【請求項2】 前記第2のループ部を構成する前記第2の電圧制御発振器は、2つの制御電圧入力端子と、これら2つの制御電圧入力端子に各々対応して互いに異なる制御電流にて駆動されるリングオシレータとを備えて構成される請求項1記載のPLL回路。

【請求項3】 前記2つの制御電圧入力端子にそれぞれ対応する前記2つの電流制御ゲートは、第1の制御電圧入力端子に対応する第1の電流制御ゲートが第2の制御電圧入力端子に対応する第2の電流制御ゲートよりもその駆動能力が大きく設定され、前記第1のループ部を構成する前記第1の電圧制御発振器は前記第2の電圧制御発振器と同一の構成を有し且つ、その第1の制御電圧入力端子に前記第1のローパスフィルタから出力される直流電圧が入力されるとともに、その第2の制御電圧入力端子に一定の直流電圧が入力され、前記第2のループ部を

構成する前記第 2 の電圧制御発振器は、その第 1 の制御電圧入力端子に前記第 1 のローパスフィルタから出力される直流電圧が入力されるとともに、その第 2 の制御電圧入力端子に前記第 2 のローパスフィルタから出力される直流電圧が入力される

請求項 2 記載の PLL 回路。

【請求項 4】前記第 1 の基準信号が光ディスクのウォブル信号であり、前記第 2 の基準信号が同光ディスクのランドプリピット信号である請求項 1 ～ 3 のいずれかに記載の PLL 回路。

【請求項 5】前記第 1 のループ部を構成する前記第 1 の位相比較器が、前記第 1 の基準信号及び第 1 のクロックの各パルスの立ち上がりタイミングの差に応じた信号を出力する立ち上がり比較部と、

同第 1 の基準信号及び第 1 のクロックの各パルスの立ち下がりタイミングの差に応じた信号を出力する立ち下がり比較部と、

前記 2 つの比較部の出力信号の合成信号を出力する出力部とを備える

請求項 4 記載の PLL 回路。

【請求項 6】前記第 2 のループ部を構成する前記第 2 の位相比較器は、前記第 2 のクロックの立ち上がりエッジが前記第 2 の基準信号のパルス中心に位置したときにチャージ及びディスチャージ時間が等しくなるチャージポンプを備えて構成される

請求項 5 記載の PLL 回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば光ディスクの書き込みクロック再生等に用いられる PLL (Phased Locked Loop) 回路に関する。

【0002】

【従来の技術】

周知のように、データを記録する記録媒体の 1 つとして、光ディスクが知られている。こうした光ディスクの中には、記録可能な媒体も存在する。そして、こ

の記録可能な光ディスクには、通常、案内溝として機能するプリグループが螺旋状に形成されているとともに、この螺旋状に形成されたプリグループに近接してランドプリピット（以下、L P P）が形成されている。

## 【 0 0 0 3 】

このうち、上記プリグループは、光ディスク上を蛇行しつつ形成されている。そして、この蛇行（ウォブル）成分には、絶対時間やディスクの仕様等の情報が含まれている。これにより、光ディスクへのデータの記録時には、この絶対時間情報を読み出すことで、光ディスク上での位置を把握しつつデータの記録を行うことが可能となる。

## 【 0 0 0 4 】

また、上記L P Pは、光ディスクに螺旋状に形成されているプリグループに沿って所定の間隔で形成されている。そして、この間隔は、上記ウォブル成分から得られる信号（ウォブル信号）の約16パルスに1パルスの割合の信号が得られる間隔に設定されている。このL P Pの再生に基づいて得られる信号がL P P信号である。

## 【 0 0 0 5 】

一方、こうした光ディスクへのデータの記録を精度よく行うためには、光ディスクへデータを記録するタイミングを、光ディスクの回転に基づいたものとすることが望ましい。例えば光ディスク上に予め記録されている信号の再生に基づいて得たクロックによってデータの記録動作を行うなどすることにより、光ディスク上に記録される1ビットのデータが同光ディスク内にしめる量を一定にすることができる。

## 【 0 0 0 6 】

そして、この光ディスク上に予め記録されている信号に同期したクロックを生成するために、従来よりP L L回路が用いられている。すなわち、電圧制御発振器を通じて発振制御されるクロックと同期対象となるパルス信号とを位相比較器で比較し、これら2つの信号の周波数差及び位相差に応じた電圧を電圧制御発振器にフィードバックすることで、同電圧制御発振器から発振出力されるクロックを同パルス信号に同期したものとすることができる。

## 【 0 0 0 7 】

## 【発明が解決しようとする課題】

ところで、こうしたPLL回路を用いて光ディスクの回転に同期したクロックを生成するためには、上記光ディスクに予め記録されている信号として、その同期のとり易さから、先に説明したウォブル信号を用いることが考えられる。

## 【 0 0 0 8 】

一方、光ディスクの回転に正確に同期したクロックを生成するためには、このウォブル信号よりも、上記LPP信号に同期したクロックを生成することが望まれている。ただし、上述したように、LPP信号はウォブル信号と比較してパルスとしての頻度が低く、これと正確に同期したクロックをPLL回路を用いて生成することは困難である。

## 【 0 0 0 9 】

なお、上記光ディスクのLPP信号やウォブル信号に限らず、2つの異なる周波数を有する信号が混在する状況下において、そのパルス頻度が低いために同期をとることが困難な信号に同期したクロックを生成しようとする場合には、こうした実情も概ね共通したものとなっている。

## 【 0 0 1 0 】

本発明は上記実情に鑑みてなされたものであり、その目的は、互いに異なる周波数を有する信号が混在する状況下、そのパルス頻度が低いために同期をとることが困難な信号に同期したクロックを生成することのできるPLL回路を提供することにある。

## 【 0 0 1 1 】

## 【課題を解決するための手段】

この発明は、所定の周期を有する第1の基準信号に周波数同期した第1のクロックを生成する第1のループ部と、前記第1の基準信号よりも周期の長い第2の基準信号に位相同期した第2のクロックを生成する第2のループ部とを有するPLL回路であって、前記第1のループ部は、前記第1の基準信号及び前記第1のクロックが入力される第1の位相比較器と、この位相比較器の比較結果に応じた直流電圧を出力する第1のローパスフィルタと、このローパスフィルタから出力

される直流電圧を制御電圧として前記第 1 のクロックを生成する第 1 の電圧制御発振器とを備えて構成され、前記第 2 のループ部は、前記第 2 の基準信号及び前記第 2 のクロックが入力される第 2 の位相比較器と、この位相比較器の比較結果に応じた直流電圧を出力する第 2 のローパスフィルタと、前記第 1 のローパスフィルタから出力される直流電圧及び前記第 2 のローパスフィルタから出力される直流電圧を制御電圧として前記第 2 のクロックを生成する第 2 の電圧制御発振器を備えて構成されることで、頻度の少ない第 2 のパルス信号と同期をとることを可能とする。

【 0 0 1 2 】

【発明の実施の形態】

(第 1 の実施形態)

以下、本発明にかかる PLL 回路を DVD-R (Digital Versatile Disc Recordable) のデータ記録装置に備えられたシステムクロック発生部に適用した第 1 の実施形態について、図面を参照しつつ説明する。

【 0 0 1 3 】

図 1 は、上記データ記録装置の全体構成を示すブロック図である。

【 0 0 1 4 】

このデータ記録装置の記録媒体となる光ディスク 1 は、データを書き込む（記録する）ことが可能な光ディスクである DVD-R ディスクである。この光ディスク 1 には、光ディスク 1 内の案内溝として機能するプリグループが螺旋状に形成されているとともに、螺旋状に形成されたプリグループに近接してランドプリピット（以下、LPP）が形成されている。

【 0 0 1 5 】

このうち、上記プリグループは、光ディスク 1 上を蛇行しつつ形成されている。この蛇行（ウォブル）成分の有する信号は、「140.6kHz」の周波数を有し、このウォブル信号には、絶対時間やディスクの仕様等の情報が含まれている。これにより、光ディスク 1 へのデータの記録時には、この絶対時間情報を読み出すことで、光ディスク 1 上での位置を把握しつつデータの記録を行うことが可能となる。



## 【0016】

また、上記LPPは、光ディスク1に螺旋状に形成されている各プリグループに沿って所定の間隔で形成されている。この間隔は、上記ウォブル信号の約16パルスに1パルスの割合の信号が得られる間隔に設定されている。このLPPの再生に基づいて得られる信号がLPP信号である。

## 【0017】

一方、この光ディスク1を対象とした上記データ記録装置は、外部から入力されたデータを所定のフォーマットにエンコードするエンコーダ10、同エンコーダ10でエンコードされたデータに対応したレーザを出力するための駆動信号を生成するレーザ駆動部20、同駆動信号に基づいて光ディスク1にレーザを照射する光学ヘッド30を備えている。

## 【0018】

ここで、光学ヘッド30は、記録時のデータに応じてそれぞれ高出力レーザ及び低出力レーザを光ディスク1に形成された上記プリグループの中心（記録層）に選択的に照射する1本のレーザ源と、同プリグループの両端に低出力のレーザを照射する再生専用の2本のレーザ源とを備えている。そして、記録時には、これら3本のレーザ源のうち、出力の切替可能な1本のレーザ源によって、記録を所望するデータに応じて上記レーザ駆動部20によって生成される駆動信号に基づいたレーザが照射される。

## 【0019】

更に、光学ヘッド30は、これらレーザの光ディスク1上での反射光を受光する受光部を備えている。これら受光部は、上記切替可能なレーザ源からプリグループの中心に照射されたレーザの反射光を受光する素子と、上記2本の再生専用のレーザの反射光を受光する素子とからなる。そして、2本の再生専用のレーザの反射光を受光する素子では、プリグループの両端から反射されるレーザが受光され、これに基づいて上記ウォブル信号やLPP信号が検出される。

## 【0020】

また、上記データ記録装置は、光ディスク1を回転させるスピンドルモータ40や、同スピンドルモータ40を線速度一定に制御するスピンドルサーボ41を

備えている。このスピンドルサーボ41によるスピンドルモータ40の線速度一定制御は、例えば、光ディスク1上に形成されている上記ウォブル信号に基づいて行われる。

## 【0021】

こうしたウォブル信号等、光ディスク1上に予め記録されている情報を読み出すべく、上記データ記録装置は、光学ヘッド30において受光された反射光から2値のデジタル信号を生成するRFアンプ50や、同RFアンプ50において生成されたデジタル信号をデコードするデコーダ51を備えている。そして、このデコーダ51においてデコードされたウォブル信号に基づいてスピンドルサーボ41では、スピンドルモータ40を線速度一定にて制御する。

## 【0022】

また、光ディスク1の回転の微妙な変化等に追従してデータの記録を行うために、上記データ記録装置では、上記エンコーダ10からレーザ駆動部20へのデータの出力動作等のタイミングをとるために用いるシステムクロックを、上記LPP信号に同期したものになっている。詳しくは、LPP信号の周波数を分周比「 $1/5952$ 」で分周することで、各LPP信号のパルス間に、5952のパルスを有するシステムクロックを生成する。これにより、システムクロックは、「52.32MHz」の周波数を有する信号となる。

## 【0023】

ただし、上述したように、LPP信号は、ウォブル信号の約16パルスに1パルスの割合で得られるものであるため、その頻度が低く、このLPP信号に同期したシステムクロックを生成することは困難なものとなる。更には、データ記録時において光ディスク1に形成されているLPPが欠落することがある。このため、上記ウォブル信号の約16パルスに1パルスの割合で定期的に上記LPP信号が得られるわけではないため、同LPP信号に同期したクロックを生成することはいっそう困難なものとなる。

## 【0024】

そこで、上記データ記録装置では、システムクロックの生成を次の2段階で行う。すなわち、システムクロックを、ウォブル信号とほぼ周波数同期させた後、

L P P 信号に基づいて同クロックの位相調整を行う。このように、ウォブル信号に基づいて大きく同期をとった後に、L P P 信号に基づいて微調整を行うことで、システムクロックを光ディスク 1 の回転を正確に反映したクロックとすることができる。

## 【 0 0 2 5 】

具体的には、上記データ記録装置は、ウォブル信号と周波数同期したクロックを生成する第 1 のループ A と、L P P 信号と位相同期したクロックを生成する第 2 のループ B との 2 つの P L L を備える。そして、ウォブル信号と周波数同期したクロックを生成する第 1 のループ A において用いられる電圧制御発振器（以下、V C O）1 3 2 の制御電圧は、L P P 信号と位相同期したクロックを生成する第 2 のループ B において用いられる V C O 1 6 2 の制御電圧としても用いられる。詳しくは、この第 2 のループ B において用いられる V C O の制御電圧として、自身の発振制御するクロックと L P P 信号との位相差に基づく信号及び、上記第 1 のループ A における制御電圧との合成信号が用いられる。

## 【 0 0 2 6 】

更に、上記データ記録装置では、上記第 1 のループ A において、V C O 1 3 2 の発振制御するクロックとウォブル信号との両パルスの立ち上がり及び立ち下がりがそれぞれ比較され、これら 2 つの比較結果に基づいて同 V C O 1 3 2 が制御される。これは以下の理由による。

## 【 0 0 2 7 】

図 2 に示されるように、上記光ディスク 1 からレーザによって読み取られたウォブル信号（図 2（a））は、上記 R F アンプ 5 0 にて 2 値化される（図 2（b））。この 2 値化信号は、そのデューティ比が変化するため、上記第 1 のループ A の生成するクロックとウォブル信号との位相差及び周波数差に基づいて制御される V C O は、このデューティ比の変化の影響を受けるおそれがある。

## 【 0 0 2 8 】

しかしながら、2 値化されたウォブル信号は、図 2（d）に示されるように、パルス幅  $W_h$  が変化するにもかかわらず、各パルスの中心間の周期  $T_w$  や位相は保持される。したがって、このパルス中心の周期  $T_w$  及び位相と、V C O 1 3 2

の生成するクロックのパルス中心の周期及び位相とに基づいて同VCO132を制御することで、デューティ比の変化の影響を回避することができる。そして、ウォブル信号及び上記VCO132の各パルスの中心の周期及び位相を比較するために、上記データ記録装置では、両者の立ち上がり及び立ち下がり进行比较する。

#### 【0029】

なお、同様に、上記光ディスク1からレーザによって読み取られたLPP信号（図2（a））も、上記RFアンプ50にて2値化される（図2（c））。そして、この2値化されたLPP信号の位相は、図2（d）に示されるように、2値化されたウォブル信号の位相と必ずしも一致せず、微妙にずれることがある。したがって、上記データ記録装置では、ウォブル信号に略同期したクロックを生成した後、同クロックをLPP信号に位相同期させるようにしている。

#### 【0030】

ここで、上記データ記録装置におけるシステムクロック発生部100について説明する。

#### 【0031】

このシステムクロック発生部100において、上記ウォブル信号と周波数同期したクロックを生成する第1のループAでは、次のような信号処理がなされる。まず、立ち上がり比較部110a及び立ち下がり比較部110bにおいて、ウォブル信号及びVCO132の発振制御するクロックの立ち上がり及び立ち下がり比較される。そして、これら比較結果に基づく信号が、チャージポンプ120a及びチャージポンプ120bにて所定の出力に変換される。これら出力の変換された信号は、加算器130で合成され、ローパスフィルタ131にて平滑化された後、制御電圧としてVCO132に印加される。この制御電圧を通じて制御されるVCO132の出力クロックの周波数は、分周器133にて分周され上記立ち上がり比較部110a及び立ち下がり比較部110bに入力される。こうしてVCO132の出力クロックがウォブル信号に周波数同期するよう制御される。なお、この分周器133の分周比は「 $1/372$ 」であり、これにより、VCO132の出力信号は、「52.32MHz」に制御される。

## 【0032】

ここで、立ち上がり比較部110a及びチャージポンプ120aは、例えば図3に例示されるような回路構成を有する。図3に示されるように、チャージポンプ120aは、ウォブル信号のパルスの立ち上がりタイミングがVCO出力クロックのパルスの立ち上がりタイミングよりも早い場合に高電位の信号を出力し（チャージ動作）、VCO出力クロックのパルスの立ち上がりタイミングがウォブル信号のパルスの立ち上がりタイミングよりも早い場合に低電位の信号を出力する（ディスチャージ動作）出力部121を備えている。そして、この出力部121の出力は、バイアス回路122によって調整される。

## 【0033】

なお、同チャージポンプ120aにおいて、先の図1に示したローパスフィルタ131に対するチャージ電流及びディスチャージ電流は等しく設定される。

## 【0034】

一方、立ち上がり比較部110aでは、上記入力されるウォブル信号及びVCO出力クロックのパルスのいずれか一方が立ち上がってから他方が立ち上がるまでの期間、チャージポンプ120aを介して所定の出力信号を出力するための制御を行う。まず、ウォブル信号及びVCOの出力クロック（実際には、その周波数が分周されたクロック）はそれぞれ別のフリップフロップ（F/F）に入力される。そして、これらフリップフロップが入力されるパルスの立ち上がり同期して「H」レベル信号を出力する。また、2つのフリップフロップに入力されるパルスが両方とも立ち上がったときに、これら2つのフリップフロップをリセットすることで、チャージポンプ120aから上記信号の出力を中断する。

## 【0035】

なお、先の図1に示した立ち下がり比較部110b及びチャージポンプ120bは、上記立ち上がり比較部110a及びチャージポンプ120aとそれぞれ同一の構成を有している。そして、図1に示されるように、立ち下がり比較部110bには、立ち上がり比較部110aに入力される信号がインバータを介して反転されて入力されることで、立ち下がりが検出される。

## 【0036】

図4に、立ち上がり比較部110a及び立ち下がり比較部110bに入力される信号と、加算器130の出力との関係を示す。図4に示されるように、VCO出力パルスの立ち上がり及び立ち下がり（図4（b））とウォブル信号のパルスの立ち上がり及び立ち下がりとが等しい場合（図4（a）の $\beta$ ）には、上記加算器130からの出力はほぼ「0」となる。

## 【0037】

これに対して、VCO132の出力するパルスのパルス幅よりもウォブル信号のパルスのパルス幅が狭まった場合（図4（a）の $\alpha$ ）には、VCO132の出力するパルスの立ち上がりからウォブル信号のパルスが立ち上がるまでの期間、上記加算器130から低電位の信号が出力される（ディスチャージ動作がなされる）（図4（c）の $\alpha$ ）。また、ウォブル信号のパルスの立ち下がりからVCO132の出力するパルスの立ち下がりまでの期間、上記加算器130から高電位の信号が出力される（チャージ動作がなされる）（図4（c）の $\alpha$ ）。

## 【0038】

一方、VCO132の出力するパルスのパルス幅よりもウォブル信号のパルスのパルス幅が広がった場合（図4（a）の $\gamma$ ）には、ウォブル信号のパルスの立ち上がりからVCOの出力するパルスの立ち上がるまでの期間、上記加算器130から高電位の信号が出力される（チャージ動作がなされる）（図4（c）の $\gamma$ ）。また、VCOの出力するパルスの立ち下がりからウォブル信号のパルスが立ち下がるまでの期間、上記加算器130から低電位の信号が出力される（ディスチャージ動作がなされる）（図4（c）の $\gamma$ ）。

## 【0039】

このように、パルス中心が等しい場合には、チャージポンプ120a及び120bにおいて、チャージ電流及びディスチャージ電流は等しく設定される。したがって、ウォブル信号のパルス及びVCO132の出力するパルスの各パルス幅の差異に関係なく、ウォブル信号及びVCO出力信号のパルスの中心が一致するように制御される。

## 【0040】

次に、LPP信号と位相同期したクロックを生成する第2のループBでなされ

る信号処理について説明する。

【 0 0 4 1 】

上述したように、この第2のループBでは、上記第1のループAのVCO132の制御電圧に基づいて上記ウォブル信号に周波数同期したクロックが生成されるとともに、LPP信号に基づいて同クロックが微調整される。更に、本実施形態では、LPP信号が検出されるであろう時期を予測することで、ノイズをLPP信号と誤検出することによる第2のループBにおけるフィードバック制御がノイズに影響されることを回避する。

【 0 0 4 2 】

図1に示されるように、ここでは、まず、デコーダ51からシステムクロック発生部100に入力されるLPP信号とノイズとを区別する処理がなされる。まず、指令部165において、記録開始時にLPP信号がはじめて検出された時が記憶されるとともに、例えばシステムクロック発生部100の出力するシステムクロックをカウントするなどして、LPP信号が検出されてから次のLPP信号が検出されるまでの期間を推定する。こうして、LPP信号が検出されるであろう時期に同期して所定周期毎にウィンドウパルスが出力される。このウィンドウパルスのパルス幅は、LPP信号が検出される可能性のある時期をカバーする時間幅を有している。一方、LPP出力部164では、このウィンドウパルスの入力されている期間において、LPP信号が検出されたときにのみ同LPP信号が出力される。これによりノイズをLPP信号と誤検出することを回避することができるようになる。

【 0 0 4 3 】

こうしてLPP出力部164から出力されたLPP信号と、VCO162の出力するクロックの周波数が分周器163で分周された信号とが比較部140にて比較される。この比較結果に基づく信号は、チャージポンプ150にて所定の出力レベルに変換された後、ローパスフィルタ160で平滑化される。更に、ローパスフィルタ160の出力する制御電圧信号と、上記VCO132の制御電圧信号とが加算器161にて合成される。そして、VCO162は、この加算器161から出力される合成信号にて制御される。

## 【0044】

上記分周器163の分周比は「1/5952」であり、これにより、VCO162の出力するクロックの周波数が、上記VCO132の周波数同様、「52.32MHz」に制御される。また、このVCO162は、上記VCO132と同一の構造を有する。これにより、VCO132の制御電圧信号を直接用いてVCO162の生成するクロックをウォブル信号に周波数同期したものに制御することができるようになる。

## 【0045】

詳しくは、上記分周器163を介してVCO162から比較部140に入力されるパルスの立ち上がりが、比較部140に入力されるLPP信号のパルスの中心と一致するように制御される。ちなみに、このような制御を行うためのLPP出力部164や、比較部140、チャージポンプ150は、図5に例示されるような構成を有する。

## 【0046】

ここで、先の図1に示した比較部140に入力されたウィンドウパルスやLPP信号、更には分周器163から出力される分周クロック、チャージポンプ150の出力の関係を図6に示す。

## 【0047】

すなわち、上記LPP出力部164にウィンドウパルスが入力されていない期間（図6（a））においては、ノイズが混入した（図6（b））としてもこれが比較部140に出力されることはない。これに対して、ウィンドウパルス（図6（a））がLPP出力部164に入力されているときに、LPP信号が入力される（図6（b））と、同LPP信号が上記比較部140に出力される。これにより、上記チャージポンプ150では、比較部140にLPP信号が入力されてから分周クロック（図6（c））のパルスが立ち上がるまでの期間、高電位の信号を出力する（図6（d））。そして、LPP信号のパルスが入力されている期間であって、且つ分周クロックのパルスが立ち上がっている（図6（c））期間、上記チャージポンプ150は低電位の信号を出力する。

## 【0048】



同チャージポンプ150は、ローパスフィルタ160に対するチャージ電流及びディスチャージ電流が等しく設定され、分周クロックの立ち上がりエッジがLPP信号の中心にきたときにチャージ及びディスチャージ時間が等しくなる構成を有する。こうして、チャージポンプ150の出力信号に基づいて、VCO162は、分周器163の分周クロックのパルスの立ち上がりがLPP信号のパルスの中心と一致するように制御される。

## 【0049】

上記態様にて、VCO132の制御信号と、加算器161の制御信号とに基づいてVCO162が制御されることで、VCO162の出力信号を、LPP信号を反映した信号とすることができるようになる。すなわち、同期を取りやすいウォブル信号に基づいてVCO162の出力をこれに同期したものに制御した後、LPP信号に基づいてVCO162の出力の微調整を行うために、単独では同期をとるのが困難であるLPP信号に基づいてVCO162の出力を制御することができるようになる。

## 【0050】

以上説明した本実施形態によれば以下の効果が得られるようになる。

## 【0051】

(1) ウォブル信号に周波数同期したクロックを出力するVCO132の制御信号と、LPP信号及びVCO162の出力信号との位相差に基づく信号とによってVCO162が制御される。このため、単独では同期の取りにくいLPP信号に基づいてVCO162の出力を制御することができるようになる。

## 【0052】

(2) LPP信号が検出される時期を指令部165で予測し、この予測される時期にのみ比較部140での処理が許可されるために、ノイズをLPPと誤認することを回避することができるようになる。

## 【0053】

(3) ウォブル信号及びVCO132の出力信号の両パルスの立ち上がり及び立ち下がりそれぞれを比較することで、再生されるウォブル信号のデューティ比の変化の影響を排除してVCO132を制御することができる。

## 【 0 0 5 4 】

## (第 2 の実施形態)

以下、本発明にかかる PLL 回路を DVD-R のデータ記録装置に備えられたシステムクロック発生部に適用した第 2 の実施形態について、上記第 1 の実施形態との相違点を中心に図面を参照しつつ説明する。なお、上記第 1 の実施形態と同一の部材に対しては同一の符号を付した。

## 【 0 0 5 5 】

図 7 は、上記データ記録装置の全体構成を示すブロック図である。

## 【 0 0 5 6 】

上記第 1 の実施形態では、第 2 のループ B において生成される LPP 信号に位相同期したクロック及び LPP 信号の位相差に基づく信号と、ウォブル信号と周波数同期したクロックを生成する第 1 のループ A で用いられる VCO の制御電圧信号とが加算器で合成され、この合成信号に基づいて第 2 のループ B において用いられる VCO が制御された。これに対し本実施形態においては、図 7 に示されるように、上記加算器を用いる代わりに、同加算器に入力される 2 つの信号が各別に、VCO 270 に直接入力されるようにする。このため、VCO 270 を、図 8 に示されるように、2 入力制御される構成とする。

## 【 0 0 5 7 】

同図 8 に示されるように、この VCO 270 は、奇数個のインバータ IV によって構成されるリングオシレータ 271 を備えている。これら各インバータ IV は、電源 VDD 及び接地間で給電されるとともに、その給電量が VCO 270 へ入力される 2 つの制御信号によって制御される。

## 【 0 0 5 8 】

詳しくは、入力端子 a からの制御信号によって p チャネルトランジスタ T1a 及び n チャネルトランジスタ T2a が制御されることで、各インバータ IV 及び電源間と各インバータ IV 及び接地間との電流が制御される。一方、入力端子 b からの制御信号によって p チャネルトランジスタ T1b 及び n チャネルトランジスタ T2b が制御されることで、各インバータ IV 及び電源間と各インバータ IV 及び接地間との電流が制御される。このリングオシレータ 271 の出力信号の

周波数は、各インバータ I V を流れる電流量「 $I_a + I_b$ 」に比例するため、入力端子 a 及び b から入力される制御信号に基づいてリングオシレータ 2 7 1 の出力信号の周波数を調整することができる。

## 【 0 0 5 9 】

こうしたリングオシレータ 2 7 1 の出力信号の周波数の調整は、実際には、上記入力端子 a 及び b から入力される制御信号がバイアス回路 2 7 2 及び 2 7 3 を介して所定の変換を受けることで行われる。換言すれば、上記トランジスタ T 1 a 及び T 2 a と、トランジスタ T 1 b 及び T 2 b の各ゲート端子に印加される制御電圧は、それぞれバイアス回路 2 7 2 及び 2 7 3 にて生成される。これらバイアス回路 2 7 2 及び 2 7 3 は同一の回路であり、入力される制御信号をレベル変換した後、カレントミラー回路を通じて電圧信号を出力する回路である。

## 【 0 0 6 0 】

更に、上記リングオシレータ 2 7 1 は、これら入力端子 a 及び b から入力される信号のうち、入力端子 a から入力される信号によって広帯域制御が、入力端子 b から入力される信号によって狭帯域制御が行われるように設定されている。これは、電源及びリングオシレータ 2 7 1 間や、リングオシレータ 2 7 1 及び接地間において導通制御される電流量を、入力端子 a から入力される制御信号によるものの方が入力端子 b から入力される制御信号によるものよりも大きくすることで実現できる。具体的には、入力端子 a から入力される制御信号によって制御されるトランジスタ T 1 a 及び T 2 a のトランジスタサイズを、入力端子 b から入力される制御信号によって制御されるトランジスタ T 1 b 及び T 2 b のサイズよりも大きく設定する。

## 【 0 0 6 1 】

ここで、この V C O 2 7 0 の出力特性について、図 9 を用いて更に説明する。すなわち、図 9 ( a ) に示されるように、V C O 2 7 0 の出力信号の周波数は、入力端子 a に入力される制御電圧  $V_a$  を可変制御することで大きく変化する。これに対して、図 9 ( b ) に示されるように、同 V C O 2 7 0 の出力信号の周波数は、入力端子 b に入力される制御電圧  $V_b$  を可変制御することで微調整される。

## 【 0 0 6 2 】

したがって、同図9に例示されるように、入力端子aに入力される制御電圧V<sub>a</sub>をV<sub>0</sub>に設定してVCO270の出力を所望の周波数帯に概ね制御した後、入力端子bに入力される制御電圧V<sub>b</sub>を可変制御することで、微調整を行うことができる。

## 【0063】

なお、こうした特徴を有するVCO270は、先の図7に示したように、広帯域制御を行う信号の入力される入力端子aにウォブル信号に同期させるための制御信号が、また、狭帯域制御を行う信号の入力される入力端子bにLPPに同期させるための制御信号が、それぞれ入力される。これにより、ウォブル信号の周波数帯への制御を迅速に行うことができ、且つLPP信号に基づいた微調整を的確に行うことができる。

## 【0064】

そして、ウォブル信号に周波数同期したクロックを生成する第1のループAにおいて用いられるVCO232として、上記VCO270と同一のものをを用いる。これにより、VCO232の出力信号がウォブル信号に同期したときの同VCO232の制御信号を直接用いて、VCO270の出力をウォブル信号に同期させることが可能となる。なお、VCO232の入力端子bは、一定の基準電圧にて常時給電された状態としておく。

## 【0065】

なお、上記2つのPLLにおけるフィードバック周期を最適化するために、上記データ記録装置では、チャージポンプ220a、220b、250のゲインを調整する。具体的には、各VCO232及びVCO270の入力端子aに入力される信号を生成するチャージポンプ220a及び220bを、VCO270の入力端子bに入力される信号を生成するチャージポンプ250よりも低ゲインに設定する。これは、ウォブル信号の周波数がLPP信号の周波数よりも高いことに起因して、ウォブル信号に周波数同期するクロックを生成する第1のループAのフィードバック周期が短くなるためである。

## 【0066】

こうしたゲイン調整は、基本的には、先の第1の実施形態において例示したチ

ャージポンプ110a、110bと同様の構成を有するチャージポンプ220a、220bの各トランジスタ特性や、同実施形態において例示したチャージポンプ150と同様の構成を有するチャージポンプ250の各トランジスタ特性を適宜設定することなどで行うことができる。

【0067】

以上説明した本実施形態によれば、先の第1の実施形態の上記(1)～(3)の効果に準じた効果に加えて、更に以下の効果が得られるようになる。

【0068】

(4) 図8に示される広帯域用及び狭帯域用の2入力の信号にて制御されるVCO270を用いることで、LPP信号を的確に反映した安定したシステムクロックを生成することができる。

【0069】

(5) チャージポンプ220a、220bのゲインを、チャージポンプ250のゲインよりも低ゲインに設定した。これにより、LPP信号のパルスの頻度がウォブル信号のパルスの頻度よりも低いことに起因してフィードバック周期が長くなる点を反映して、2つのPLLに関するフィードバック周期を最適化することができるようになる。

【0070】

なお、上記実施形態は以下のように変更して実施してもよい。

【0071】

・先の図7に示したチャージポンプ220a、220b、250を用いた上記ゲイン調整を行う代わりに、先の図8に示したバイアス回路272、273を用いてゲイン調整を行ってもよい。更に、チャージポンプ220a、220b、250、バイアス回路272、273の各ゲインを適宜設定することで、各PLLのゲインの最適化を図ってもよい。

【0072】

・2入力のVCOの構成については、入力信号を適宜設定することで、先の図8に示したバイアス回路を省略することもできる。

【0073】

・また、電源及びリングオシレータ間やリングオシレータ及び接地間の電流制御をする手段については、先の図 8 に例示したトランジスタ T 1 a、T 2 a、T 1 b、T 2 b にも限られず、可変抵抗等、任意の手段を用いてよい。

【 0 0 7 4 】

・リングオシレータの各インバータへの給電態様を可変制御する代わりに、一部のインバータへの給電態様のみを可変制御するようにしてもよい。

【 0 0 7 5 】

・リングオシレータの構成は、先の図 8 に例示したように奇数個のインバータから構成されるものに限られない。例えば、給電量によってその遅延量が可変制御される遅延回路の入力側又は出力側に奇数個のインバータを備える構成としてもよい。

【 0 0 7 6 】

その他、上記各実施形態に共通して変更して実施可能な要素としては以下のものがある。

【 0 0 7 7 】

・立ち上がり比較部 2 1 0 a 及び立ち下がり比較部 2 1 0 b、チャージポンプ 2 2 0 a、2 2 0 b の構成としては、先の図 1 及び図 3 に例示したものに限られない。

【 0 0 7 8 】

・ウォブル信号に周波数同期したクロックを生成する第 1 のループ A におけるウォブル信号と V C O の出力信号との比較態様は、上記立ち上がり及び立ち下がりの両方を比較するものに限られない。例えば、立ち上がりのみを用いて、ウォブル信号とほぼ同期した信号を生成するようにしてもよい。更にこの P L L においては、先の図 5 に例示するような回路にて、ウォブル信号のパルス中心に分周器 1 6 3、2 6 3 の分周クロックのエッジがくるような制御を行ってもよい。

【 0 0 7 9 】

・ノイズを L P P 信号と誤検出することがないなら、先の図 1 及び図 7 に示した指令部 1 6 5 においてウィンドウパルスを生成する処理を省略してもよい。

【 0 0 8 0 】

・ウォブル信号に周波数同期したクロックを生成する第1のループAにおいて用いられるVCOと、LPP信号に位相同期するクロックを生成する第2のループBにおいて用いられるVCOとの構成は必ずしも同一でなくてもよい。ただし、この場合、第1のループAにおいて用いられるVCOの制御信号によって、第2のループBにおいて用いられるVCOの出力信号がいくら変化するかを考慮して上記制御信号に所定の変換を施してから、第2のループBにおいて用いられるVCOの制御に用いる。

【0081】

・また、DVD-Rにも限られず、CD-R (Compact Disc-Recordable) 等の光ディスク、あるいはMO (Magneto-Optical disk) や、MD (Mini Disc) 等の光磁気ディスク（本明細書においては特にことわりのない限りこの光磁気ディスクも含めて光ディスクという）などの任意の光ディスクのデータ記録装置の備えるシステムクロックにおいて、本発明のPLL回路を適用することもできる。

【0082】

・更に、本発明にかかるPLL回路は、光ディスクのデータ記録装置に備えられるシステムクロック発生部へ適用されるものにも限られない。要は、互いに異なる周波数を有する信号が混在する状況下、そのパルス頻度が低いために正確な同期をとることが困難な信号に正確に位相同期したクロックを生成することが望まれる場合には、本発明にかかるPLL回路の適用は有効である。

【0083】

【発明の効果】

請求項1記載の発明によれば、2つの基準信号が存在する状況下、周期が長く同期の取りにくい第2の基準信号に同期したクロックを生成することができるようになる。

【0084】

請求項2記載の発明によれば、所定の直流電圧を、第2の電圧制御発振器の2つの制御電圧入力端子のいずれに入力するかによって同直流電流による同電圧制御発振器の制御を広帯域又は狭帯域にて制御することができるようになる。このため、第1及び第2の基準信号の特性等に応じて好適な制御を行うことができる

ようになる。

【0085】

請求項3記載の発明によれば、第1の電圧制御発振器を第1のローパスフィルタから出力される直流電圧によって広帯域制御することができるようになる。また、第2の電圧制御発振器を、第1のローパスフィルタから出力される直流電圧によって広帯域制御するとともに、第2のローパスフィルタから出力される直流電圧によって狭帯域制御することができるようになる。

【0086】

請求項4記載の発明によれば、ウォブル信号とランドプリピット信号とに同期したクロックを生成することができるようになる。また、直流電圧の印加態様を調整するなどして、特にランドプリピット信号に位相同期したクロックを生成することもできる。

【0087】

請求項5記載の発明によれば、ウォブル信号のデューティ比が変化した場合であれ、同デューティ比の変化の影響を回避しつつ上記各PLL制御を行うこともできる。

【0088】

請求項6記載の発明によれば、ランドプリピット信号の中心に基づいて第2の電圧制御発振器を制御することができるようになる。

【図面の簡単な説明】

【図1】本発明にかかるPLL回路の第1の実施形態及び、同実施形態を適用した光ディスクのデータ記録装置の全体構成を示すブロック図。

【図2】ウォブル信号及びLPP信号の特性を示す図。

【図3】同実施形態における立ち上がり比較部及びチャージポンプの構成を例示する回路図。

【図4】同実施形態におけるウォブル信号と周波数同期したクロックを生成するPLLの制御態様を示すタイムチャート。

【図5】同実施形態におけるLPP信号に位相同期したクロックを生成するPLLの一部の構成を例示する回路図。



【図 6】 同 L P P 信号に位相同期するクロックを生成する P L L の制御態様を示すタイムチャート。

【図 7】 本発明にかかる P L L 回路の第 2 の実施形態及び、同実施形態を適用した光ディスクのデータ記録装置の全体構成を示すブロック図。

【図 8】 同実施形態における V C O の構成を示す回路図。

【図 9】 同 V C O の出力特性を示す図。

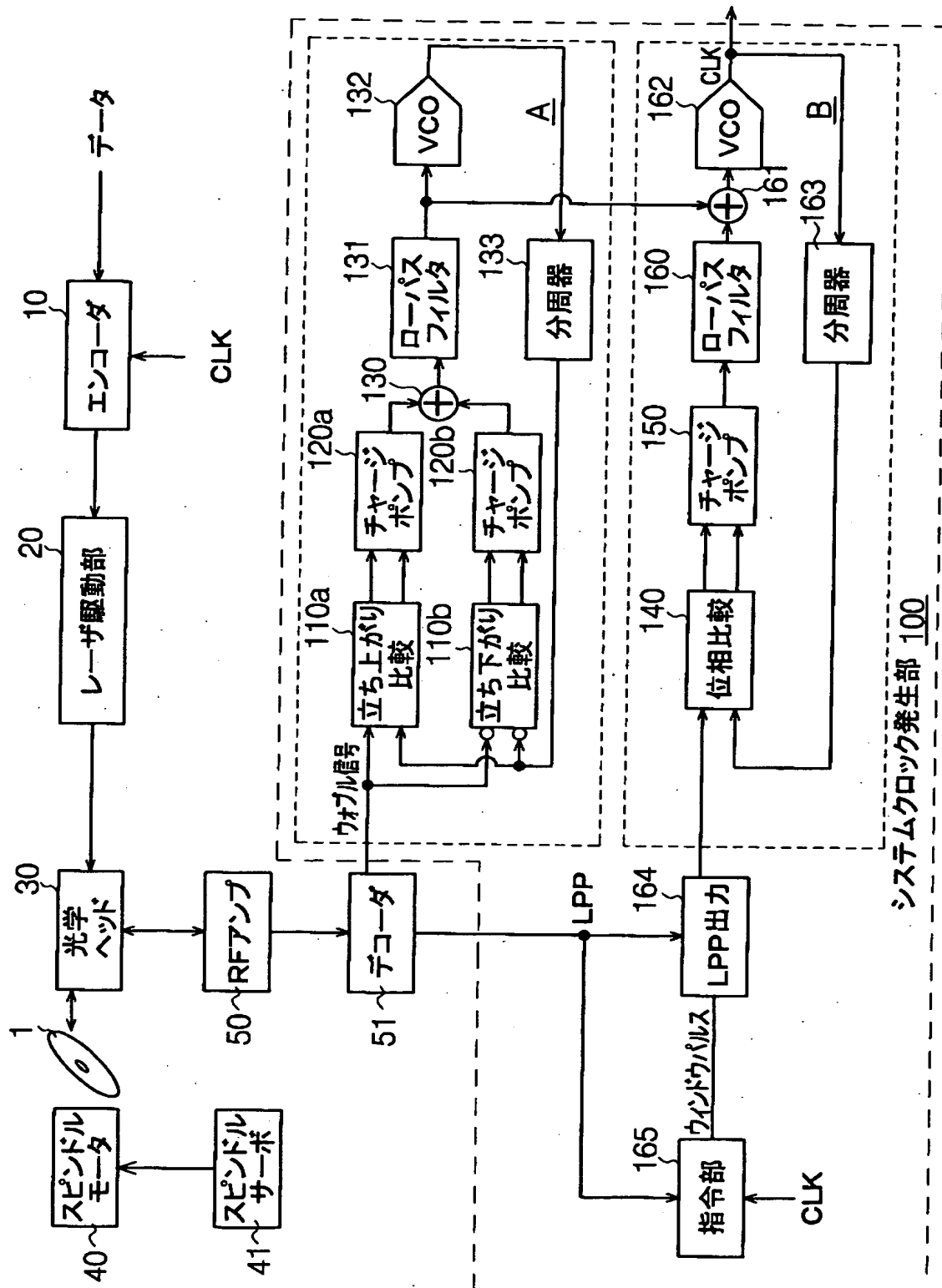
【符号の説明】

1 … 光ディスク、 1 0 … エンコーダ、 2 0 … レーザ駆動部、 3 0 … 光学ヘッド、 4 0 … スピンドルモータ、 4 1 … スピンドルサーボ、 5 0 … R F アンプ、 5 1 … デコーダ、 1 0 0 … システムクロック発生部、 1 2 0 a、 1 2 0 b、 1 5 0、 2 2 0 a、 2 2 0 b、 2 5 0 … チャージポンプ、 1 6 5 … 指令部、 1 3 2、 1 6 2、 2 3 2、 2 7 0 … V C O、 1 1 0 a、 2 1 0 a … 立ち上がり比較部、 1 1 0 b、 2 1 0 b … 立ち下がり比較部、 2 7 2、 2 7 3 … バイアス回路。

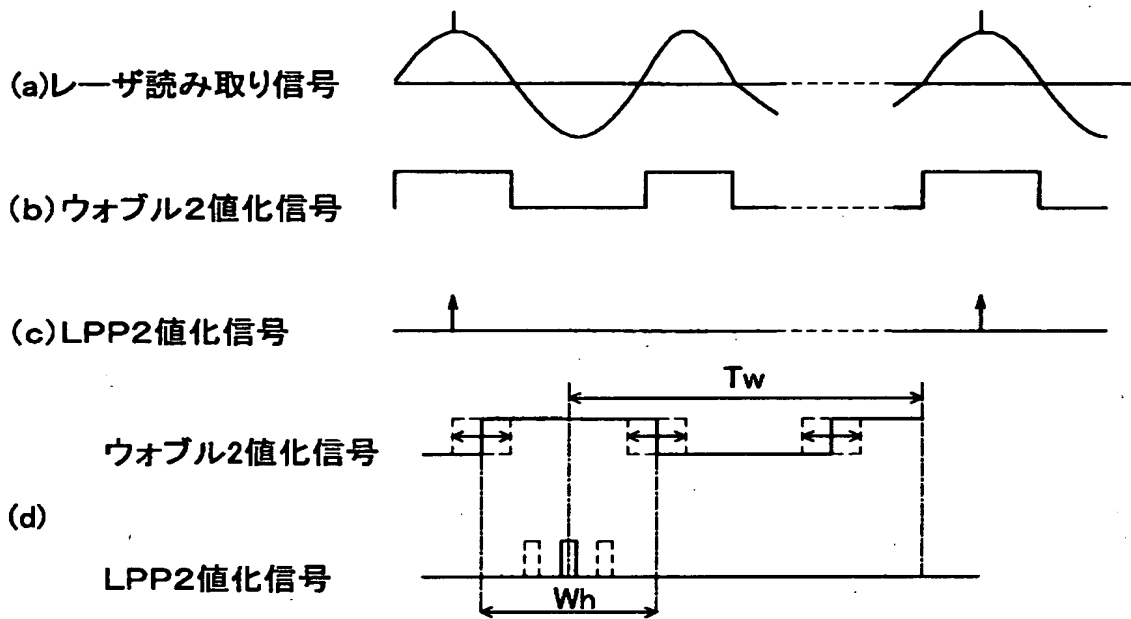
【書類名】

図面

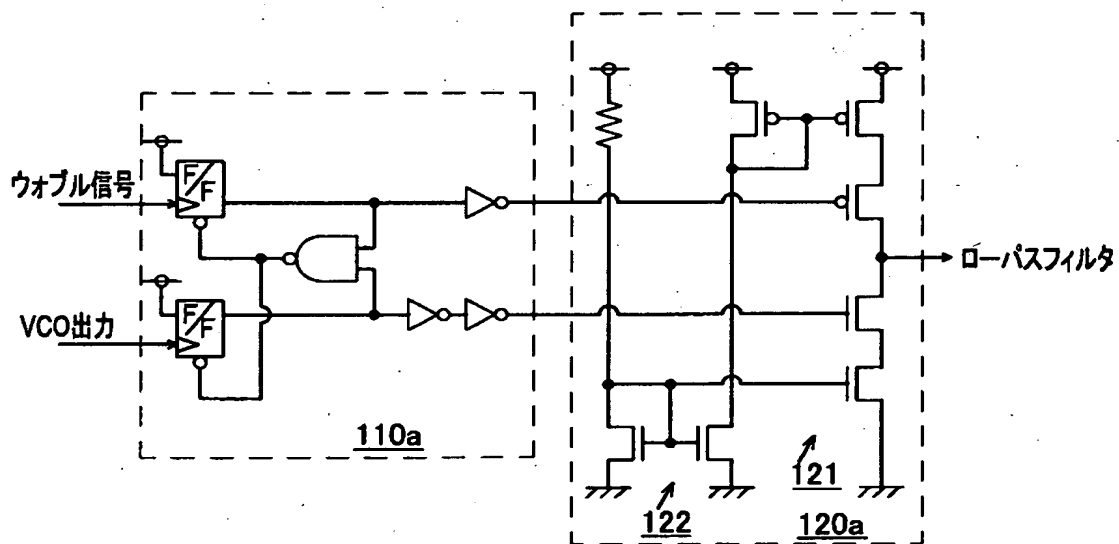
【図 1】



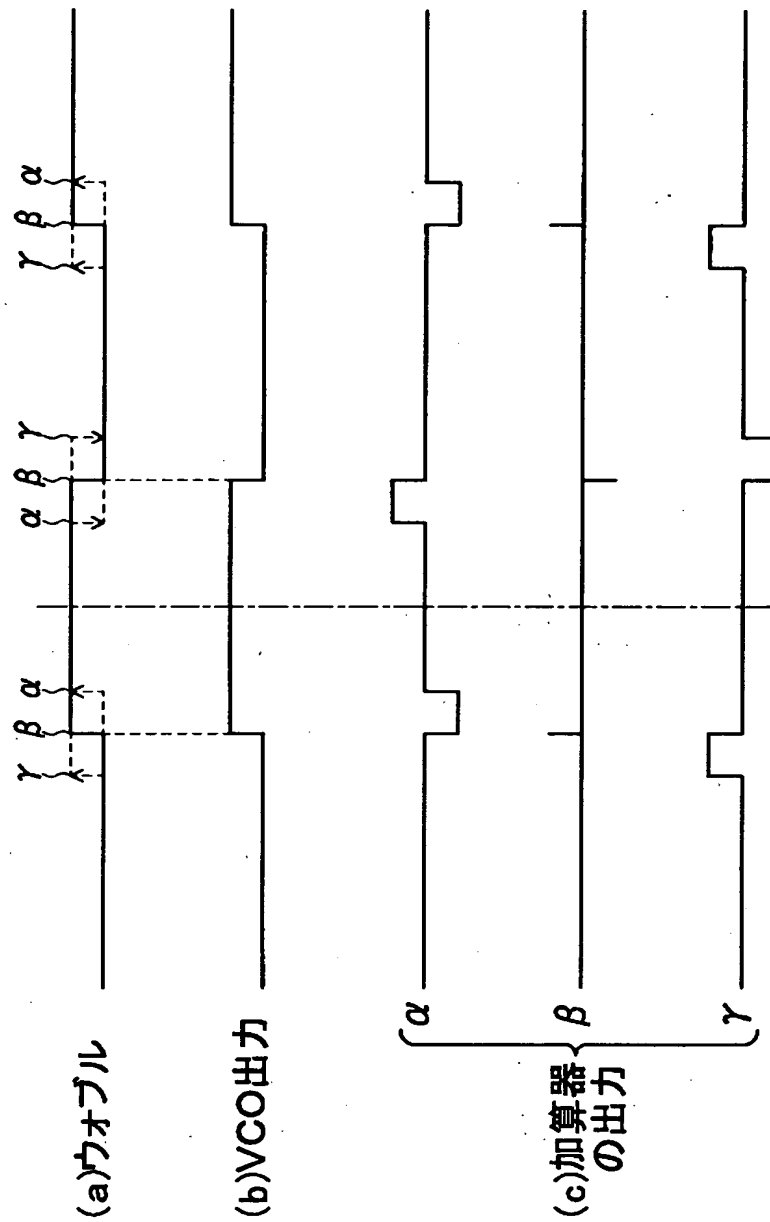
【図 2】



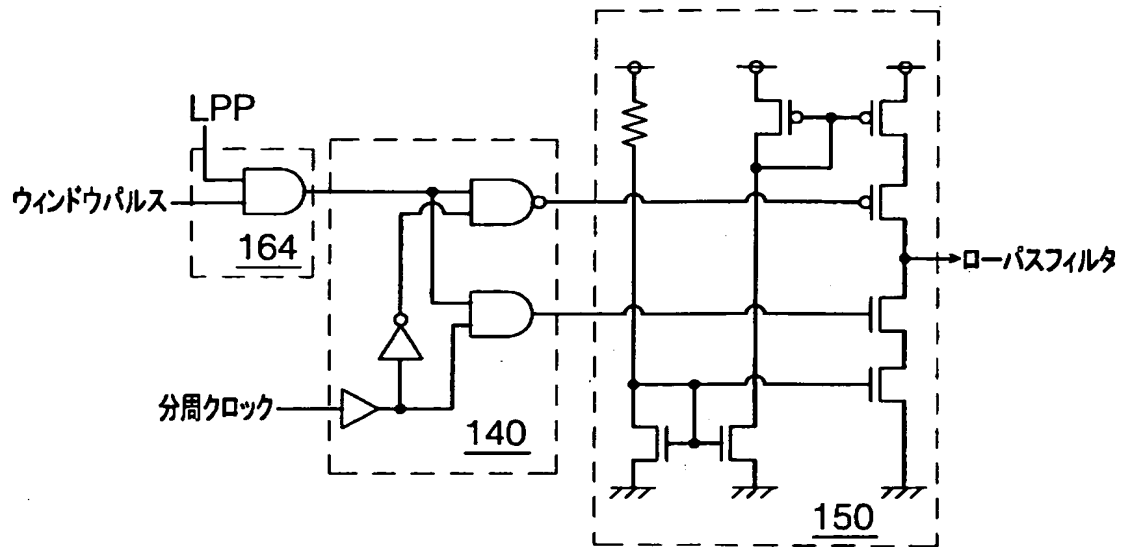
【図 3】



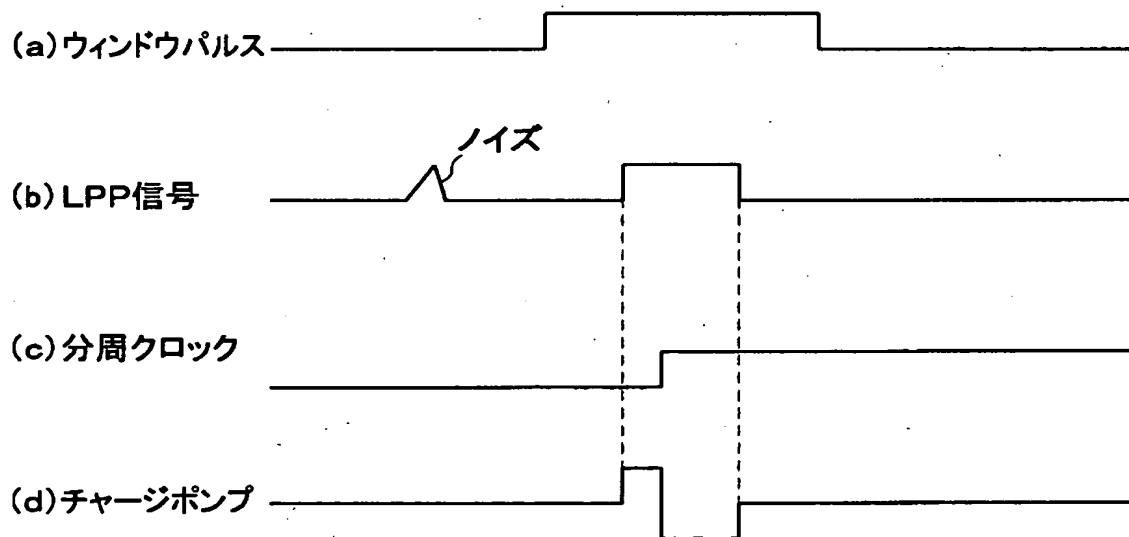
【図4】



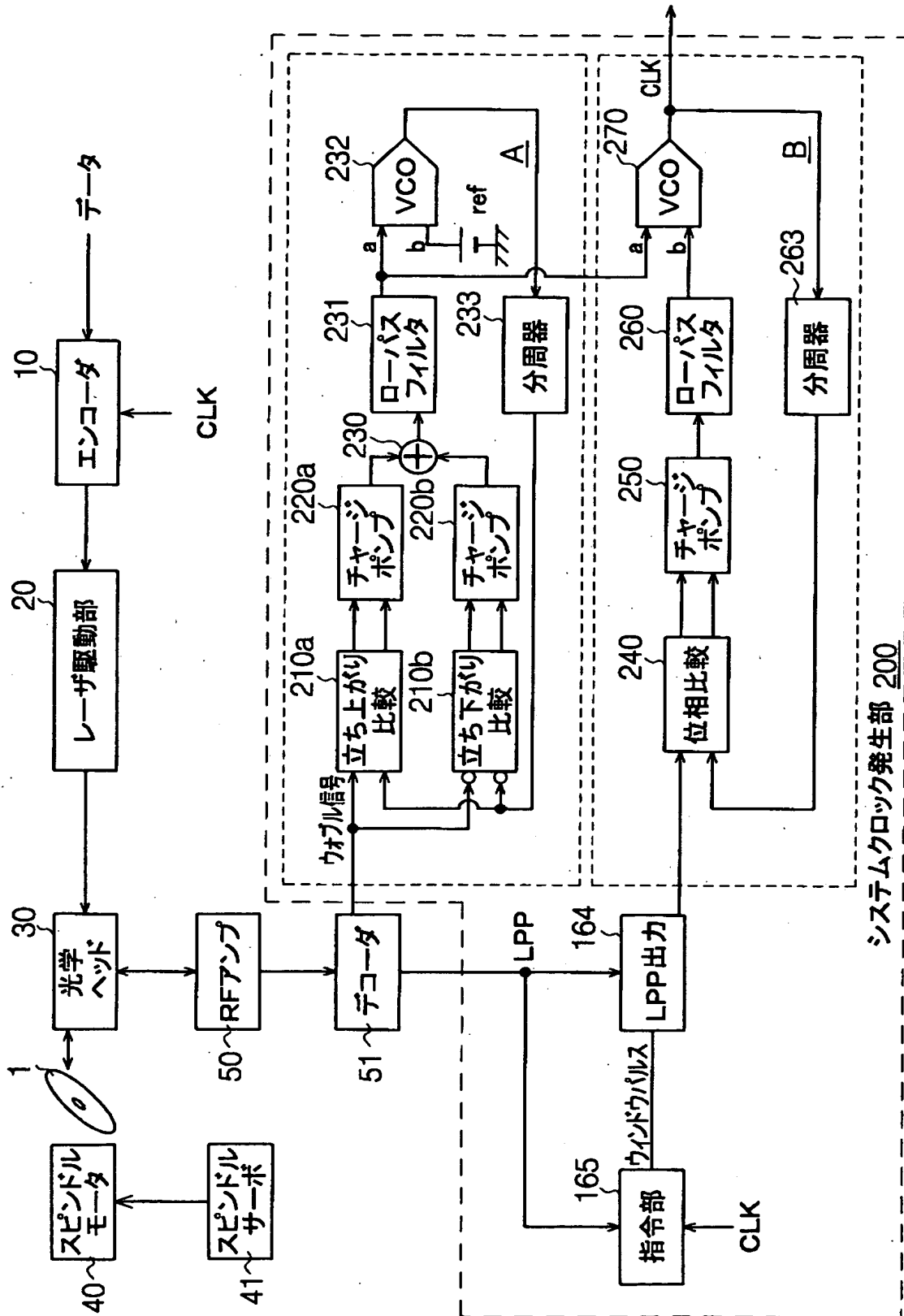
【図 5】



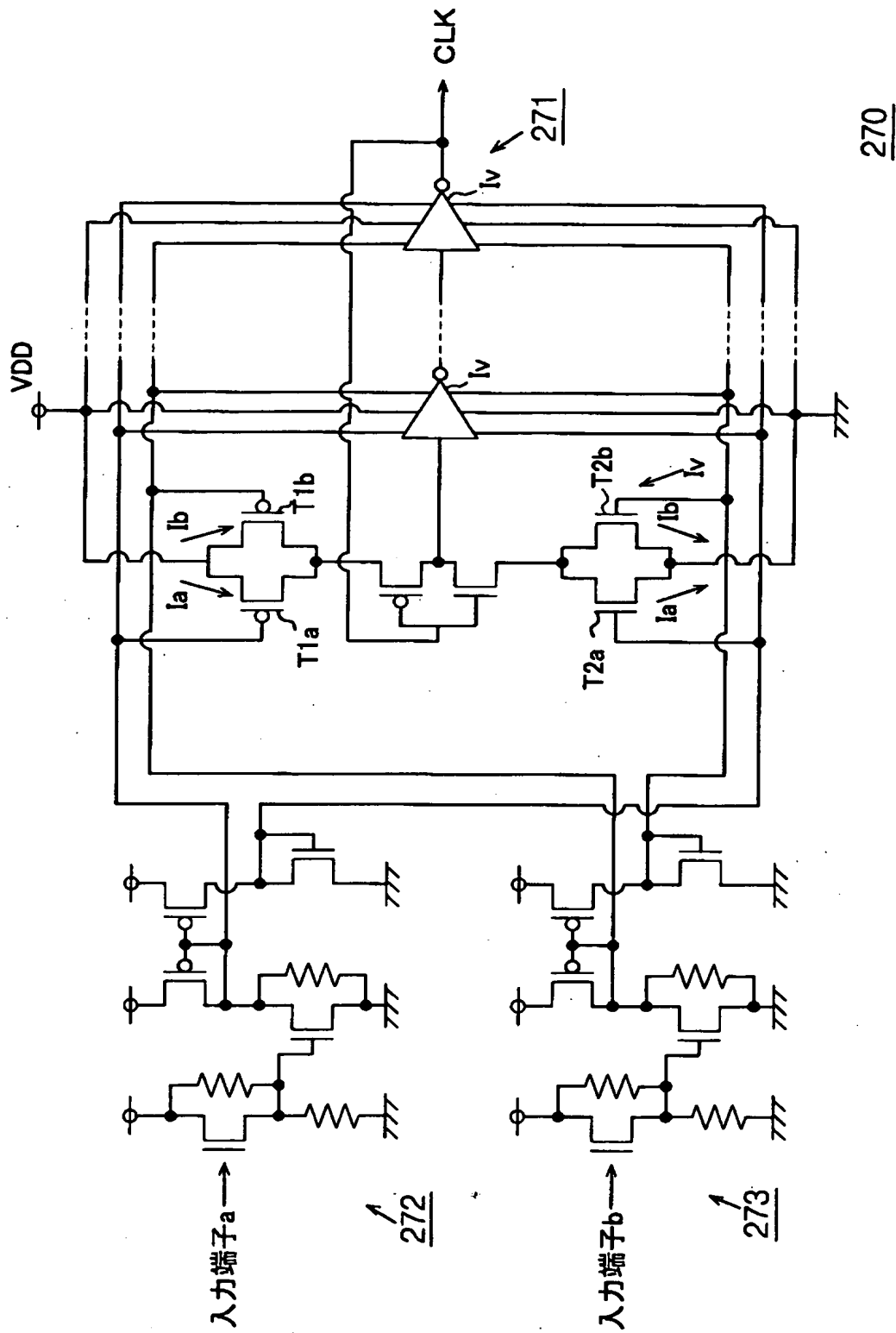
【図 6】



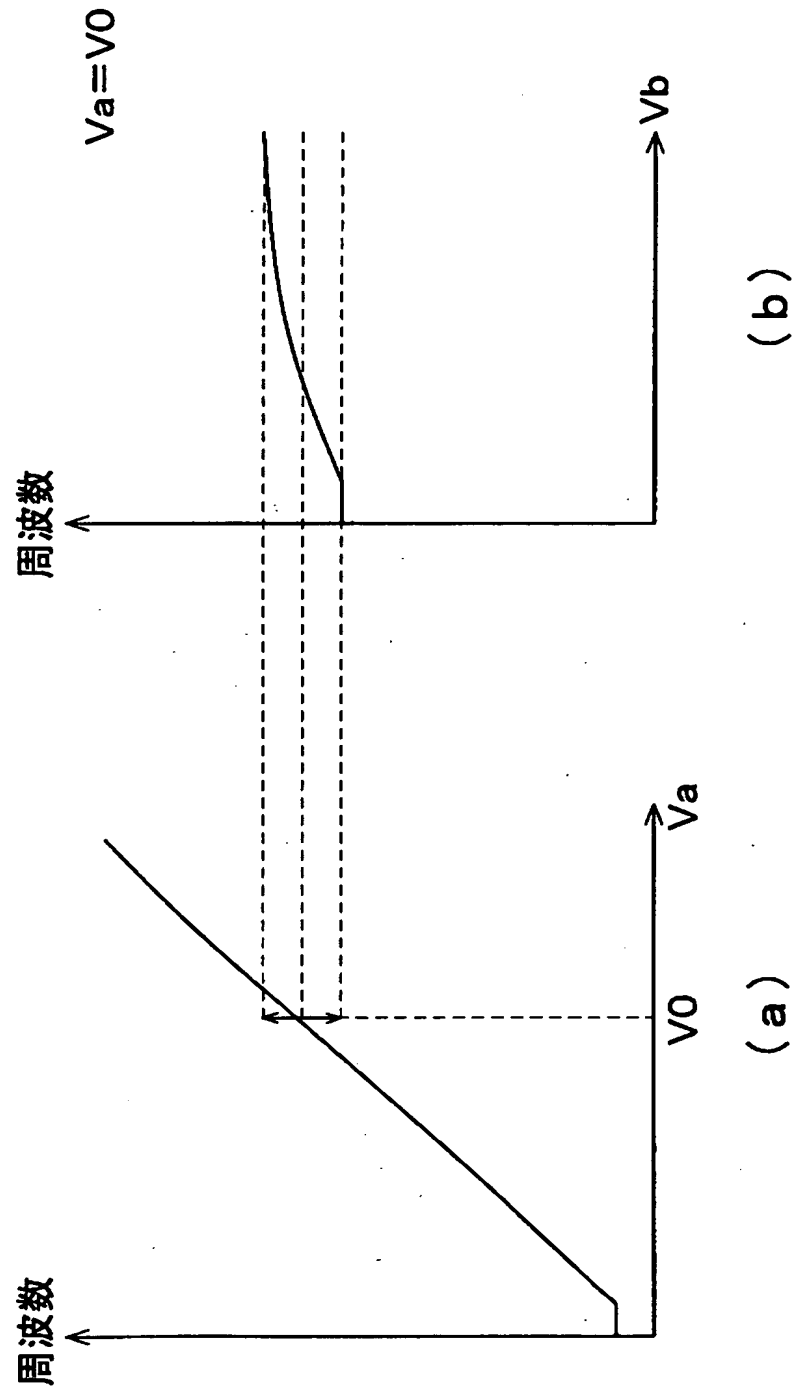
【図 7】



【図 8】



【図9】





【書類名】            要約書

【要約】

【課題】 互いに異なる周波数を有する信号が混在する状況下、そのパルス頻度が低いために同期をとることが困難な信号に同期したクロックを生成することのできるPLL回路を提供する。

【解決手段】 システムクロック発生部100では、ウォブル信号及びLPP信号に基づいてシステムクロックCLKを生成する。まず、VCO132の出力信号がウォブル信号に同期するようPLLによる制御が行われる。そして、このVCO132の制御信号を用いて、VCO162の出力がウォブル信号にほぼ同期したものに制御される。更に、VCO162の出力信号は、VCO162自身の出力信号とLPP信号との差に応じた信号によって微調整される。

【選択図】            図1

出 願 人 履 歴 情 報

識別番号 [000001889]

1. 変更年月日	1993年10月20日
[変更理由]	住所変更
住 所	大阪府守口市京阪本通2丁目5番5号
氏 名	三洋電機株式会社